

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-49277

(P2000-49277A)

(43)公開日 平成12年2月18日(2000.2.18)

(51)Int.Cl.

識別記号

H 0 1 L 25/065
25/07
25/18
27/115
27/10 4 9 5

F I

テマコト(参考)

H 0 1 L 25/08
27/10

B 5 F 0 8 3
4 9 5
4 3 4

審査請求 未請求 請求項の数12 OL (全12頁)

(21)出願番号 特願平10-213880

(22)出願日 平成10年7月29日(1998.7.29)

G 1 23383
69 / 363031

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 作井 康司

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 宮本 順一

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

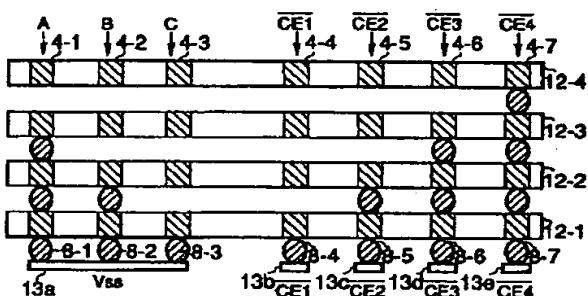
最終頁に続く

(54)【発明の名称】 マルチチップ半導体装置及びメモリカード

(57)【要約】

【課題】製造コストの上昇を抑制しつつ、平面面積が小さく、構造が単純で且つ厚さが薄いマルチチップ半導体装置を提供することを目的としている。

【解決手段】半導体基板中に素子が集積形成された半導体チップを複数個搭載したマルチチップ半導体装置において、半導体基板を貫通する貫通孔内に接続プラグ4-1～4-7を形成した同一構造の複数個の半導体チップ12-1～12-4を積層し、各チップの接続プラグを金属バンプ8-1～8-7を介して選択的に接続し、金属バンプの接続パターンに応じて、各チップ間のアドレスの割り振りを指定することを特徴としている。同一構造のチップを積層するので、異なる構造のチップを複数種類製造する必要がなく、全てのチップに対して同じテストを行うことができ、積層する順番も考慮する必要がないので、製造コストを低減できる。



【特許請求の範囲】

【請求項1】 半導体基板中に素子が集積形成された半導体チップを複数個搭載したマルチチップ半導体装置において、

半導体基板を貫通する貫通孔内に接続プラグを形成した実質的に同一構造の複数個の半導体チップを積層し、前記各半導体チップの接続プラグをバンプを介して選択的に接続してなり、

前記バンプの接続パターンに応じて、前記各半導体チップ内に設けたオプション回路を選択することを特徴とするマルチチップ半導体装置。

【請求項2】 前記各半導体チップ間のアドレスの割り振りが、前記バンプの接続パターンにより指定されることを特徴とする請求項1に記載のマルチチップ半導体装置。

【請求項3】 半導体基板中に素子が集積形成された半導体チップを複数個搭載したマルチチップ半導体装置において、

半導体基板を貫通する貫通孔内に接続プラグを形成した実質的に同一構造の複数個の半導体チップを積層し、前記各半導体チップの接続プラグをバンプを介して選択的に接続してなり、

前記バンプの接続パターンに応じて、前記複数個の半導体チップ間のアドレスの割り振りを指定することを特徴とするマルチチップ半導体装置。

【請求項4】 前記各半導体チップはそれぞれ、不揮発性半導体メモリチップであることを特徴とする請求項3に記載のマルチチップ半導体装置。

【請求項5】 前記各半導体チップはそれぞれ、NAND型EEPROMであることを特徴とする請求項3に記載のマルチチップ半導体装置。

【請求項6】 前記積層する半導体チップをn個とするとき、前記接続プラグが少なくとも(n-1)個設けられて、同一構造の前記半導体チップ間のアドレスの割り振りを行うことを特徴とする請求項2または3に記載のマルチチップ半導体装置。

【請求項7】 前記積層する半導体チップをn個とするとき、前記接続プラグが少なくとも(n-1)個設けられて、同一構造の前記半導体チップ間のアドレスの割り振りを行い、 $[\log(n) / \log 2]$ 個のアドレス入力で前記n個の半導体チップの1つを選択することを特徴とする請求項2または3に記載のマルチチップ半導体装置。

【請求項8】 前記接続プラグは、前記半導体基板における貫通孔の側壁に形成した絶縁膜と、前記貫通孔内に埋め込み形成され、前記絶縁膜によって前記半導体基板と電気的に分離された導電性の貫通プラグとを含んで構成されることを特徴とする請求項1ないし7いずれか1つの項に記載のマルチチップ半導体装置。

【請求項9】 前記半導体基板上に、前記接続プラグと

前記半導体基板中に集積形成された素子とを電気的に接続する多層配線層を更に設けたことを特徴とする請求項1ないし8いずれか1つの項に記載のマルチチップ半導体装置。

【請求項10】 それぞれ半導体基板を貫通する貫通孔内に設けられた接続プラグを備え、互いに実質的に同一構造の複数個の半導体メモリチップと、

前記各半導体メモリチップを積層した状態で前記接続プラグを選択的に接続し、この接続パターンに応じて、前記複数個の半導体メモリチップ間のアドレスの割り振りを指定するバンプと、

前記複数個の半導体メモリチップを積層した状態で封止するカード状のパッケージと、

前記カード状のパッケージに設けられ、前記接続プラグ及び前記バンプを介して前記各半導体メモリチップとの信号の授受を行うための端子とを具備することを特徴とするメモリカード。

【請求項11】 前記接続プラグは、前記半導体基板における貫通孔の側壁に形成した絶縁膜と、前記貫通孔内に埋め込み形成され、前記絶縁膜によって前記半導体基板と電気的に分離された導電性の貫通プラグとを含んで構成されることを特徴とする請求項10に記載のメモリカード。

【請求項12】 前記半導体基板上に、前記接続プラグと前記半導体基板中に集積形成されたメモリ回路とを電気的に接続する多層配線層を更に設けたことを特徴とする請求項10または11に記載のメモリカード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、マルチチップ半導体装置及びメモリカードに関し、特に複数個の半導体メモリチップ、若しくは半導体メモリとロジック回路とを混載した複数個の半導体チップを積層した状態で搭載したマルチチップ構成の半導体装置及びメモリカードに係る。

【0002】

【従来の技術】 デジタルカメラのフィルム媒体や、携帯用パーソナルコンピュータの記憶用メモリとして、メモリカードの需要が急速に高まっている。この種のメモリカードとして、例えば、不揮発性メモリであるNAND型EEPROMを搭載したSSFDC (Solid-State Floppy Disk Card)、別称スマートメディア (Smart Media) が知られている。現在は、16Mビットあるいは32MビットのNAND型EEPROMが一個搭載され、2Mバイトあるいは4Mバイトの記憶容量のカードが市販されている。しかし、昨今のマルチメディア・ブームに乗り、ますます大容量のメモリカードの需要が拡大されることが予想されている。例えばデジタルカメラでいえば、現在30万画素の写真30枚分が2Mバイトのカードで記録可能

であるが、130万画素のカメラで写真30枚分を録画するためには8Mバイトの記憶容量が必要となる。また、静止画だけでなく動画や音声の記録といったように、メモリカードの用途は止まるところを知らない。この場合、更に大きな記憶容量が必要となる。従って、一枚のカードに複数個の半導体チップを搭載し、大容量化を実現することが望まれている。

【0003】しかしながら、従来の技術では、複数個の半導体チップを一枚のカードに搭載しようとすると、カードが大型になるという問題があった。すなわち、チップを平面的に複数個並べるとカードの面積が大きくなり、カード面積の増大を抑えるために複数個を積層して搭載するとカードの厚さが厚くなる。

【0004】そこで、この問題を克服する技術として、本出願人は、特願平8-321931号（平成8年12月2日付け）に、カードの大型化を最小限に抑制しつつ一枚のカードに複数個の半導体チップを搭載する「マルチチップ半導体装置、ならびにマルチチップ半導体装置用チップおよびその形成方法」を提案した。この出願に開示されているマルチチップ半導体装置は、素子が集積形成された半導体基板を有するチップを複数積層してなるマルチチップ半導体装置において、少なくとも1つのチップは、その半導体基板を貫通する貫通孔内に接続プラグが形成された構造を有し、且つこのプラグを有する少なくとも1つのチップが、該接続プラグを介して他のチップと電気的に接続されていることを特徴としている。

【0005】上記マルチチップ半導体装置の技術を用いると、平面面積が小さく、構造が単純で且つ厚さが薄いメモリカードが提供できる。しかし、更に大きな記憶容量で且つ小型のメモリカードあるいはメモリ装置を実現するためには、解決すべきいくつかの問題が残されている。例えば4個の64Mビットの半導体チップを用いて、256Mビットのメモリ装置を構成することを考える。この場合、従来の平面ボードに実装する際には、4個のチップのチップ制御信号であるチップ・イネーブル・バー（/CE）をそれぞれ分ければよい。しかし、平面ボードに代えてチップを積層させたマルチチップ半導体技術でこれを実現しようとすると、4つの/CEの配線接続をそれぞれ分離する必要がある。これは/CEの位置を変えた4種類のチップ、すなわちAチップ、Bチップ、Cチップ、Dチップが要求されることを意味する。この4種類のチップを製造するためには、例えば、チップの最上層の配線層をバターニングするためのマスクを4枚用意すれば可能であり、また、できあがった4種類のチップを例えば決められた順にA-B-C-Dと積層させることも勿論可能である。しかし、製造コストを考慮すると、この方法は得策ではない。すなわち、4種類のチップを製造すること、そのそれぞれをテストすること、また、間違いなく順番に積層させること等を考

えると、同一構成のチップ4個を積層する場合に比べて高価なものにならざるを得ない。

【0006】

【発明が解決しようとする課題】上記のように従来のマルチチップ半導体装置及びメモリカードは、複数個の半導体チップを搭載すると大型化を招くという問題があった。本出願人は、先頭でこの問題を解決する一つの手段を提案したが、更に大きな記憶容量で且つ小型のメモリカードあるいはメモリ装置を実現しようとすると製造コストが高くなる。

【0007】この発明は、上記事情を考慮してなされたもので、その目的とするところは、製造コストの上昇を抑制しつつ、平面面積が小さく、構造が単純で且つ厚さが薄いマルチチップ半導体装置及びメモリカードを提供することにある。

【0008】

【課題を解決するための手段】この発明の請求項1に記載したマルチチップ半導体装置は、半導体基板中に素子が集積形成された半導体チップを複数個搭載したマルチチップ半導体装置において、半導体基板を貫通する貫通孔内に接続プラグを形成した実質的に同一構造の複数個の半導体チップを積層し、前記各半導体チップの接続プラグをバンプを介して選択的に接続してなり、前記バンプの接続パターンに応じて、前記各半導体チップ内に設けたオプション回路を選択することを特徴としている。

【0009】また、請求項2に記載したように、請求項1に記載のマルチチップ半導体装置において、前記各半導体チップ間のアドレスの割り振りが、前記バンプの接続パターンにより指定されることを特徴とする。

【0010】この発明の請求項3に記載したマルチチップ半導体装置は、半導体基板中に素子が集積形成された半導体チップを複数個搭載したマルチチップ半導体装置において、半導体基板を貫通する貫通孔内に接続プラグを形成した実質的に同一構造の複数個の半導体チップを積層し、前記各半導体チップの接続プラグをバンプを介して選択的に接続してなり、前記バンプの接続パターンに応じて、前記複数個の半導体チップ間のアドレスの割り振りを指定することを特徴としている。

【0011】請求項4に記載したように、請求項3に記載のマルチチップ半導体装置において、前記各半導体チップはそれぞれ、不揮発性半導体メモリチップであることを特徴とする。

【0012】請求項5に記載したように、請求項3に記載のマルチチップ半導体装置において、前記各半導体チップはそれぞれ、NAND型EEPROMであることを特徴とする。

【0013】更に、請求項6に記載したように、請求項2または3に記載のマルチチップ半導体装置において、前記積層する半導体チップをn個とするとき、前記接続プラグが少なくとも(n-1)個設けられて、同一構造

の前記半導体チップ間のアドレスの割り振りを行うことを特徴とする。

【0014】請求項7に記載したように、請求項2または3に記載のマルチチップ半導体装置において、前記積層する半導体チップをn個とするとき、前記接続プラグが少なくとも(n-1)個設けられて、同一構造の前記半導体チップ間のアドレスの割り振りを行い、[log₂(n)/log₂2]個のアドレス入力で前記n個の半導体チップの1つを選択することを特徴とする。

【0015】請求項8に記載したように、請求項1ないし7いずれか1つの項に記載のマルチチップ半導体装置において、前記接続プラグは、前記半導体基板における貫通孔の側壁に形成した絶縁膜と、前記貫通孔内に埋め込み形成され、前記絶縁膜によって前記半導体基板と電気的に分離された導電性の貫通プラグとを含んで構成されることを特徴とする。

【0016】請求項9に記載したように、請求項1ないし8いずれか1つの項に記載のマルチチップ半導体装置において、前記半導体基板上に、前記接続プラグと前記半導体基板中に集積形成された素子とを電気的に接続する多層配線層を更に設けたことを特徴とする。

【0017】更にまた、この発明の請求項10に記載したメモリカードは、それぞれ半導体基板を貫通する貫通孔内に設けられた接続プラグを備え、互いに実質的に同一構造の複数個の半導体メモリチップと、前記各半導体メモリチップを積層した状態で前記接続プラグを選択的に接続し、この接続パターンに応じて、前記複数個の半導体メモリチップ間のアドレスの割り振りを指定するバンプと、前記複数個の半導体メモリチップを積層した状態で封止するカード状のパッケージと、前記カード状のパッケージに設けられ、前記接続プラグ及び前記バンプを介して前記各半導体メモリチップとの信号の授受を行うための端子とを具備することを特徴としている。

【0018】請求項11に記載したように、請求項10に記載のメモリカードにおいて、前記接続プラグは、前記半導体基板における貫通孔の側壁に形成した絶縁膜と、前記貫通孔内に埋め込み形成され、前記絶縁膜によって前記半導体基板と電気的に分離された導電性の貫通プラグとを含んで構成されることを特徴とする。

【0019】また、請求項12に記載したように、請求項10または11に記載のメモリカードにおいて、前記半導体基板上に、前記接続プラグと前記半導体基板中に集積形成されたメモリ回路とを電気的に接続する多層配線層を更に設けたことを特徴とする。

【0020】請求項1のような構成によれば、同一構造の複数個の半導体チップを積層するので、異なる構造の半導体チップを複数種類製造する必要がなく、全ての半導体チップに対して同じテストを行うことができ、積層する順番も考慮する必要がないので、製造コストを低減できる。また、積層する半導体チップ間のバンプの接続パターン

パターンに応じて、前記各半導体チップ内に設けたオプション回路を適宜選択することができる。更に、複数個の半導体チップを基板上に積層する際には、上記積層する半導体チップ間のバンプの接続パターンと、基板と最下層の半導体チップ間のバンプの接続パターンとに応じて、前記オプション回路を適宜選択することができる。

【0021】請求項2に示すように、各半導体チップに対するアドレスの割り振りは、バンプの接続パターンにより選択的に決定できる。請求項3のような構成によれば、同一構造の複数個の半導体チップを積層するので、異なる構造の半導体チップを複数種類製造する必要がなく、全ての半導体チップに対して同じテストを行うことができ、積層する順番も考慮する必要がないので、製造コストを低減できる。また、積層する半導体チップ間のバンプの接続パターンに応じて、複数個の半導体チップ間のアドレスの割り振りを指定できる。

【0022】請求項4及び請求項5に示すように、各半導体チップとしては不揮発性半導体メモリチップ、例えばNAND型EEPROMを用いることができる。請求項6に示すように、n個の半導体チップを積層したときには、(n-1)個の接続プラグを設ければ、各半導体チップ間のアドレスの割り振りを行うことができ、更に、請求項7に示すように、[log₂(n)/log₂2]個のアドレス入力でn個の半導体チップの1つを選択することができる。

【0023】請求項8に示すように、各接続プラグは、貫通孔の側壁に形成した絶縁膜と、貫通孔内に埋め込み形成し、この絶縁膜によって半導体基板と電気的に分離された導電性の貫通プラグとで構成できる。これによって、複数個の半導体チップを積層したときにもパッケージを薄型化できる。

【0024】請求項9に示すように、接続プラグと半導体基板中に集積形成された素子とは、半導体基板上に形成した多層配線層で電気的に接続すれば良い。更に、請求項10のような構成によれば、同一構造の複数個の半導体メモリチップを積層してカード状のパッケージに搭載するので、異なる構造の半導体メモリチップを複数種類製造する必要がなく、全ての半導体メモリチップに対して同じテストを行うことができ、積層する順番も考慮する必要がないので、製造コストを低減できる。また、積層する半導体メモリチップ間のバンプの接続パターンに応じて、複数個の半導体メモリチップ間のアドレスの割り振りを指定できる。更に、複数個の半導体メモリチップを積層して搭載するので、カードの平面面積が小さく、且つバンプを介在して複数個の半導体メモリチップを積層するので厚さが薄いメモリカードが得られる。

【0025】請求項11に示すように、各接続プラグは、半導体基板における貫通孔の側壁に形成した絶縁膜と、貫通孔内に埋め込み形成し、この絶縁膜によって半導体基板と電気的に分離された導電性の貫通プラグとで

構成できる。これによって、複数個の半導体メモリチップを積層したときにもカード状のパッケージを薄型化できる。請求項12に示すように、接続プラグと半導体基板中に集積形成された素子とは、半導体基板上に形成した多層配線層で電気的に接続すれば良い。

【0026】

【発明の実施の形態】まず、この発明の前提となる技術として、本出願人による特願平8-321931号に記載したマルチチップ半導体装置について説明する。図1-1は、上記マルチチップ半導体装置の断面構成図であり、2つの半導体チップ1-1, 1-2が積層された構成となっている（先願では種々の実施の形態について説明したが、ここでは説明を簡単にするために要旨のみを抽出して概略的に説明する）。各チップ1-1, 1-2はそれぞれ、大きく分けて、素子が集積形成されたシリコン基板2と、素子を所定の関係に接続するための多層配線層3と、上記シリコン基板2を貫通し、各チップ1-1, 1-2どうしを電気的に接続するための接続プラグ4とで構成されている。上記接続プラグ4は、シリコン基板2における素子形成領域の外側に形成されており、このシリコン基板2における貫通孔5の側壁に形成した絶縁膜4aと、この絶縁膜4aによってシリコン基板2と電気的に分離された状態で上記貫通孔5内に埋め込み形成された導電性の貫通プラグ4bとから構成されている。上記多層配線層3は、少なくとも2層以上の配線層3_{1, 3₂, ..., 3_m} ($m \geq 2$) から成り、接続プラグ4の形成後に、例えば最上位の配線層3_mで、シリコン基板2内の素子と接続プラグ4上のパッド6とが接続されている。また、各チップ1-1, 1-2におけるパッド6の形成面の裏面側のシリコン基板2の貫通プラグ4以外の領域は絶縁膜7で被覆されている。上記チップ1-1の貫通プラグ4bは、半田バンプ（金属バンプ）8を介して、チップ1-2の多層配線層3に設けられたパッド6と電気的に接続されている。これによって、チップ1-1とチップ1-2とが電気的に接続される。

【0027】この発明は、上述した先願の技術をもとに更に改良を加え、複数個の同一構成の半導体チップを積層し、各半導体チップ間の金属バンプの接続パターンに応じて、各半導体チップ内のオプション回路を選択させたものである。また、複数個の同一構成の半導体メモリチップを積層し、各半導体メモリチップ間の金属バンプの接続パターンに応じて、複数個の半導体メモリチップ間のアドレスの割り振りを指定するものである。更に、上記複数個積層した半導体メモリチップをカード状のパッケージに封止して、メモリカードを構成したものである。

【0028】以下、この発明の実施の形態について図面を参照して説明する。図1は、この発明の第1の実施の形態に係るマルチチップ半導体装置について説明するためのもので、SSFDC（メモリカード）のカード状パ

ッケージを透視して内部構成を概略的に示す斜視図である。このSSFDC 11には、4個の半導体メモリチップ、例えばNAND型EEPROMチップ12-1～12-4を積層した状態で搭載している。各チップ12-1～12-4はそれぞれ同一構造であり、基本的には上記図1-1に示したチップ1-1, 1-2と同様に構成されている。13-1～13-4はそれぞれ、SSFDC 11の表面端子の一部を示しており、NAND型EEPROMの電源電圧、制御信号、アドレス及び入力データ等がこれらの表面端子13-1～13-4を介して各NAND型EEPROMチップ12-1～12-4内に入力され、また、出力データ等がSSFDC 11の外部に出力されるようになっている。

【0029】図2は、上記図1に示したSSFDC 11中の各半導体メモリチップ12-1～12-4を選択的に接続するための半田バンプ（金属バンプ）の接続パターンを示している。13a～13eは、上記SSFDC 11の表面端子13-1～13-4に接続される端子の一部を示しており、これらの端子13a～13eにはそれぞれ、接地電圧Vss、第1のチップ選択信号/CE1、第2のチップ選択信号/CE2、第3のチップ選択信号/CE3及び第4のチップ選択信号/CE4が供給される。上記半導体メモリチップ12-1の接続プラグ4-1～4-3はそれぞれ、半田バンプ8-1～8-3によって端子13aに共通接続され、接続プラグ4-4～4-7はそれぞれ半田バンプ8-4～8-7によって端子13b, 13c, 13d, 13eに接続される。上記半導体メモリチップ12-2の接続プラグ4-1, 4-2はそれぞれ、半田バンプ8-1, 8-2によって半導体メモリチップ12-1の接続プラグ及び半田バンプを介して端子13aに共通接続され、接続プラグ4-5～4-7はそれぞれ半田バンプ8-5～8-7によって半導体メモリチップ12-1の接続プラグ及び半田バンプを介して端子13c, 13d, 13eに接続される。また、上記半導体メモリチップ12-3の接続プラグ4-1は、半田バンプ8-1によって半導体メモリチップ12-2, 12-1の接続プラグ及び半田バンプを介して端子13aに接続され、接続プラグ4-6, 4-7はそれぞれ半田バンプ8-6, 8-7によって半導体メモリチップ12-2, 12-1の接続プラグ及び半田バンプを介して端子13d, 13eに接続される。更に、上記半導体メモリチップ12-4の接続プラグ4-7はそれぞれ半田バンプ8-7によって半導体メモリチップ12-3, 12-2, 12-1の接続プラグ及び半田バンプを介して端子13eに接続される。

【0030】これによって、半導体チップ12-1には、信号A, B, Cとして接地電圧Vss、チップ選択信号として/CE1, /CE2, /CE3, /CE4が供給される。半導体チップ12-2には、信号A, Bとして接地電圧Vss、チップ選択信号として/CE2,

/CE3, /CE4が供給される。また、半導体チップ12-3には、信号Aとして接地電圧Vss、チップ選択信号として/CE3, /CE4が供給される。更に、半導体チップ12-4には、信号A, B, Cはいずれも供給されず、チップ選択信号として/CE4が供給される。

【0031】図3は、上記図2に示した各半導体メモリチップ12-1~12-4中の一部の具体的な回路構成を示している。この回路は、信号A, B, C, /CE1, /CE2, /CE3, /CE4によって、半導体メモリチップ12-1~12-4のいずれが選択されたかを検知し、選択されたチップを活性化するものである。図3において、Vccは電源電圧、Vssは接地電圧、21-1~21-3は抵抗、22-1~22-15はインバータ回路、23-1~23-4は3入力 NAND回路、24-1~24-4は2入力 NAND回路、25は4入力ノア回路をそれぞれ示しており、半田パンプ8-1~8-3はスイッチ20-1~20-3の記号で表現している。

【0032】信号A, B, Cが供給されるパッド6-1, 6-2, 6-3(図2の接続プラグ4-1, 4-2, 4-3上に位置するパッド)と接地点Vss間にはそれぞれ、スイッチ20-1, 20-2, 20-3で等価的に表現するように、半田パンプが選択的に設けられている。すなわち、半田パンプを設けた場合にはスイッチがオンで接地電圧Vssが印加され、設けない場合にはスイッチがオフでオープン状態である。上記各パッド6-1, 6-2, 6-3と電源電圧Vcc間にはそれぞれ、高抵抗値の抵抗21-1, 21-2, 21-3が接続されている。また、上記各パッド6-1, 6-2, 6-3にはそれぞれ、インバータ回路22-1, 22-2, 22-3の入力端が接続され、これらインバータ回路22-1, 22-2, 22-3の出力端は NAND回路23-1の入力端に接続される。上記各パッド6-1, 6-2にはそれ、インバータ回路22-4, 22-5の入力端が接続され、これらインバータ回路22-4, 22-5の出力端と上記パッド6-3とが NAND回路23-2の入力端に接続される。上記パッド6-1にはインバータ回路22-6の入力端が接続され、このインバータ回路22-6の出力端と上記パッド6-2, 6-3とが NAND回路23-3の入力端に接続される。更に、上記パッド6-1, 6-2, 6-3は、NAND回路23-4の入力端に接続される。

【0033】上記NAND回路23-1の出力端にはインバータ回路22-7の入力端が接続され、このインバータ回路22-7の出力端が NAND回路24-1の一方の入力端に接続される。上記NAND回路24-1の他方の入力端には、チップ選択信号/CE1が入力されるパッド6-4が接続される。また、上記NAND回路23-2の出力端にはインバータ回路22-8の入力端が接続さ

れ、このインバータ回路22-8の出力端が NAND回路24-2の一方の入力端に接続される。上記NAND回路24-2の他方の入力端には、チップ選択信号/CE2が入力されるパッド6-5が接続される。同様に、上記NAND回路23-3の出力端にはインバータ回路22-9の入力端が接続され、このインバータ回路22-9の出力端が NAND回路24-3の一方の入力端に接続される。上記NAND回路24-3の他方の入力端には、チップ選択信号/CE3が入力されるパッド6-6が接続される。更に、上記NAND回路23-4の出力端にはインバータ回路22-10の入力端が接続され、このインバータ回路22-10の出力端が NAND回路24-4の一方の入力端に接続される。上記NAND回路24-4の他方の入力端には、チップ選択信号/CE4が入力されるパッド6-7が接続される。

【0034】上記各NAND回路24-1~24-4の出力端には、インバータ回路22-11~22-14の入力端が接続され、これらインバータ回路22-11~22-14の出力端はそれぞれノア回路25の入力端に接続される。そして、このノア回路25の出力端にインバータ回路22-15の入力端が接続され、このインバータ回路22-15の出力端からチップ選択信号/CEを得るようになっている。

【0035】ここで、上記インバータ回路22-11の論理出力は/A·/B·/C·/CE1、上記インバータ回路22-12の論理出力は/A·/B·C·/CE2、上記インバータ回路22-13の論理出力は/A·B·C·/CE3、上記インバータ回路22-14の論理出力はA·B·C·/CE4である。

【0036】なお、上記抵抗21-1~21-3としては、チャネル幅Wが小さく、チャネル長Lが長いMOSトランジスタを用いると良い。あるいは図4に示すように複数のMOSトランジスタを直列接続して構成すると良い。その理由は、半田パンプ8-1~8-3を介して接地する際に、電源電圧Vccから接地点Vssへ定的に流れる貫通電流を低減できるからである。図4では、上記抵抗21-1~21-3としてPチャネル型MOSトランジスタTr1~Tr5を用い、そのゲートを接地して5段直列接続した例を示している。

【0037】図3の回路に従えば、スイッチ20-1, 20-2, 20-3がオン状態で信号A, B, Cが全て接地電圧Vssのチップ、すなわち図2のチップ12-1は第1のチップ選択信号/CE1で制御されて活性化される。また、スイッチ20-1, 20-2がオン状態で信号A, Bが共に接地電圧Vss、且つスイッチ20-3がオフ状態で信号Cが電源電圧Vccのチップ、すなわち図2のチップ12-2は第2のチップ選択信号/CE2で制御されて活性化される。スイッチ20-1がオン状態で信号Aが接地電圧Vss、且つスイッチ20-2, 20-3がオフ状態で信号B, Cが共に電源電圧

Vccのチップ、すなわち図2のチップ12-3は第3のチップ選択信号/CE3で制御されて活性化される。更に、スイッチ20-1, 20-2, 20-3がオフ状態で信号A, B, Cが全て電源電圧Vccのチップ、すなわち図2のチップ12-4は第4のチップ選択信号/

CE4で制御されて活性化される。このようすを下表1に纏めて示す。

【0038】

【表1】

A	B	C	\overline{CE}	チップ
Vss(0)	Vss(0)	Vss(0)	CE1	チップ12-1
Vss(0)	Vss(0)	Vcc(1)	CE2	チップ12-2
Vss(0)	Vcc(1)	Vcc(1)	CE3	チップ12-3
Vcc(1)	Vcc(1)	Vcc(1)	CE4	チップ12-4

【0039】表1において、Vss(0)は半田バンプ8-1～8-3のいずれかが設けられ（スイッチ20-1～20-3がオン状態に相当する）、対応するパッド6-1～6-3のいずれかが接地されている場合を示しており、Vcc(1)は半田バンプ8-1～8-3を設けず（スイッチ20-1～20-3がオフ状態に相当する）、パッド6-1～6-3のいずれかが高抵抗値の抵抗21-1～21-3を介して電源電圧Vccでバイアスされている状態を示している。パッド6-1～6-3に半田バンプを設けない時には、これらのパッドは抵抗21-1～21-3を介して電源電圧Vccでバイアスされる。よって、半田バンプを設けるか否かに応じて信号A, B, Cのレベルを設定でき、半田バンプの接続パターンに応じて半導体メモリチップ12-1～12-4を自由に選択できる。

【0040】なお、積層する半導体メモリチップの数をnとするとき、接続プラグは少なくとも(n-1)個設ければn個の半導体メモリチップ間のアドレスの割り振りを行うことができる。

【0041】上記のような構成によれば、同一構造の複数個の半導体メモリチップを積層してカード状のパッケージに搭載するので、異なる構造の半導体メモリチップを複数種類製造する必要がなく、全ての半導体メモリチップに対して同じテストを行うことができ、積層する順番も考慮する必要がないので、製造コストを低減できる。また、積層する半導体メモリチップ間の金属バンプの接続パターンに応じて、複数個の半導体メモリチップ間のアドレスの割り振りを指定できる。複数個の半導体メモリチップを積層して搭載するので、カードの平面面積が小さく、且つ金属バンプを介在して複数個の半導体メモリチップを積層するので厚さが薄いメモリカードを得られる。

【0042】図5は、この発明の第2の実施の形態に係るマルチチップ半導体装置について説明するためのもので、半田バンプの他の接続パターンを示している。図5において上記図2と同一構成部分には同じ符号を付して

おり、この第2の実施の形態では図2における全ての半導体メモリチップ12-1～12-4に半田バンプ8-4～8-7を設け、チップ選択信号/CE1～/CE4を全ての半導体メモリチップ12-1～12-4に供給するように接続したものである。

【0043】このような半田バンプの接続パターンであっても、信号A, B, Cで各半導体メモリチップ12-1～12-4の選択が可能であるので、チップ選択には何等支障はなく、第1の実施の形態と同様な選択が行え、同じ作用効果が得られる。またこれによって、4個のメモリチップ12-1～12-4のアドレスの割り振りを半田バンプの接続パターンで指定するためには、本質的に3個の接続プラグ4-1～4-3が設けられていれば良いことがわかる。

【0044】図6ないし図8はそれぞれ、この発明の第3の実施の形態に係るマルチチップ半導体装置について説明するためのもので、図6は半田バンプの更に他の接続パターンを示している。この図6では、図2と同様に4個の半導体メモリチップ32-1～32-4を積層して構成した半導体メモリ装置における具体的な半田バンプ34の接続パターンを示している。33a, 33b, 33cはSSFDCの表面端子へ接続する端子の一部を示しており、これらの端子33a, 33b, 33cにはそれぞれ接地電圧Vssとアドレス信号A0, A1が入力される。上記半導体メモリチップ32-1の接続プラグ34-1～34-3はそれぞれ、半田バンプ38-1～38-3によって端子33aに共通接続され、接続プラグ34-4, 34-5はそれぞれ半田バンプ38-4, 38-5によって端子33b, 33cに接続される。上記半導体メモリチップ32-2の接続プラグ34-1, 34-2はそれぞれ、半田バンプ38-1, 38-2によって半導体メモリチップ32-1の接続プラグ及び半田バンプを介して端子33aに共通接続され、接続プラグ34-4, 34-5はそれぞれ半田バンプ38-4, 38-5によって半導体メモリチップ12-1の接続プラグ及び半田バンプを介して端子33b, 33cに接続される。

に接続される。また、上記半導体メモリチップ32-3の接続プラグ34-1は、半田バンプ38-1によって半導体メモリチップ32-2, 32-1の接続プラグ及び半田バンプを介して端子33aに接続され、接続プラグ34-4, 34-5はそれぞれ半田バンプ38-4, 38-5によって半導体メモリチップ32-2, 32-1の接続プラグ及び半田バンプを介して端子33b, 33cに接続される。更に、上記半導体メモリチップ32-4の接続プラグ34-4, 34-5はそれぞれ半田バンプ38-4, 38-5によって半導体メモリチップ32-3, 32-2, 32-1の接続プラグ及び半田バンプを介して端子33b, 33cに接続される。

【0045】これによって、半導体メモリチップ32-1には信号A, B, Cとして接地電圧Vss、半導体チップ32-2には信号A, Bとして接地電圧Vss、半導体チップ32-3には信号Aとして接地電圧Vssがそれぞれ供給される。半導体チップ32-4には、信号A, B, Cはいずれも供給されない。また、各半導体メモリチップ32-1~32-4にはそれぞれアドレス信号A0, A1が共通に入力される。

【0046】図7及び図8は、上記図6に示した各半導体メモリチップ32-1~32-4中の一部の具体的な回路構成を示している。図7及び図8において、Vccは電源電圧、Vssは接地電圧、41-1~41-3は抵抗、42-1~42-14, 48-1~48-4はインバータ回路、43-1~43-4は3入力 NAND回路、44-1~44-4, 47-1~47-4は2入力 NAND回路、45-1, 45-2はアドレスバッファ回路をそれぞれ示しており、半田バンプはスイッチ40-1~40-3の記号で表現している。

【0047】図7に示すように、信号A, B, Cが供給されるパッド46-1, 46-2, 46-3と接地点Vss間にはそれぞれ、スイッチ40-1, 40-2, 40-3で等価的に表現するように、半田バンプが選択的に設けられている。半田バンプを設けた場合にはスイッチがオン、設けない場合にはスイッチがオフである。上記各パッド46-1, 46-2, 46-3と電源Vcc間にはそれぞれ、高抵抗値の抵抗41-1, 41-2, 41-3が接続されている。上記各パッド46-1, 46-2, 46-3にはそれぞれ、インバータ回路42-1, 42-2, 42-3の入力端が接続され、これらインバータ回路42-1, 42-2, 42-3の出力端は NAND回路43-1の入力端に接続される。また、上記各パッド46-1, 46-2にはそれぞれ、インバータ回路42-4, 42-5の入力端が接続され、これらインバータ回路42-4, 42-5の出力端と上記パッド46-3とが NAND回路43-2の入力端に接続される。上記パッド46-1にはインバータ回路42-6の入力端が接続され、このインバータ回路42-6の出力端と上記パッド46-2, 46-3とが NAND回路43-

-3の入力端に接続される。更に、上記パッド46-1, 46-2, 46-3は、 NAND回路43-4の入力端に接続される。

【0048】上記 NAND回路43-1の出力端にはインバータ回路42-7の入力端が接続され、このインバータ回路42-7の出力端が NAND回路44-1の一方の入力端に接続される。上記 NAND回路44-1の他方の入力端には、アドレス信号/A0·/A1が供給される。また、上記 NAND回路43-2の出力端にはインバータ回路42-8の入力端が接続され、このインバータ回路42-8の出力端が NAND回路44-2の一方の入力端に接続される。上記 NAND回路44-2の他方の入力端には、アドレス信号A0·/A1が供給される。同様に、上記 NAND回路43-3の出力端にはインバータ回路42-9の入力端が接続され、このインバータ回路42-9の出力端が NAND回路44-3の一方の入力端に接続される。上記 NAND回路44-3の他方の入力端には、アドレス信号/A0·A1が供給される。更に、上記 NAND回路43-4の出力端にはインバータ回路42-10の入力端が接続され、このインバータ回路42-10の出力端が NAND回路44-4の一方の入力端に接続される。上記 NAND回路44-4の他方の入力端には、アドレス信号A0·A1が供給される。

【0049】上記 NAND回路44-1の出力端には、インバータ回路42-11の入力端が接続され、このインバータ回路42-11の出力端から論理信号/A·/B·/C·/A0·/A1が出力される。また、上記 NAND回路44-2の出力端には、インバータ回路42-12の入力端が接続され、このインバータ回路42-12の出力端から論理信号/A·/B·C·A0·/A1が出力される。上記 NAND回路44-3の出力端には、インバータ回路42-13の入力端が接続され、このインバータ回路42-13の出力端から論理信号/A·B·C·A0·A1が出力される。更に、上記 NAND回路44-4の出力端には、インバータ回路42-14の入力端が接続され、このインバータ回路42-14の出力端から論理信号A·B·C·A0·A1が出力される。

【0050】すなわち、上記インバータ回路42-11の出力信号は/A·/B·/C·/A0·/A1、上記インバータ回路42-12の出力信号は/A·/B·C·A0·/A1、上記インバータ回路42-13の出力信号は/A·B·C·A0·A1、上記インバータ回路42-14の出力信号はA·B·C·A0·A1である。

【0051】図8は、上記図7に示した NAND回路44-1~44-4に信号/A0·/A1, A0·/A1, /A0·A1、及びA0·A1を供給する信号生成回路を示している。アドレス信号A0, A1がそれぞれ入力されるパッド46-4, 46-5にはそれぞれ、アドレスバッファ回路45-1, 45-2の入力端が接続され

る。これらアドレスバッファ回路45-1, 45-2から出力される信号/A0, A0, /A1, A1はそれぞれ、 NAND回路47-1~47-4に選択的に供給される。すなわち、 NAND回路47-1の一方の入力端にはアドレスバッファ回路45-1の/A0出力端が接続され、他方の入力端にはアドレスバッファ回路45-2の/A1出力端が接続される。 NAND回路47-2の一方の入力端にはアドレスバッファ回路45-1のA0出力端が接続され、他方の入力端にはアドレスバッファ回路45-2の/A1出力端が接続される。また、 NAND回路47-3の一方の入力端にはアドレスバッファ回路45-1の/A0出力端が接続され、他方の入力端にはアドレスバッファ回路45-2のA1出力端が接続される。更に、 NAND回路47-4の一方の入力端にはアドレスバッファ回路45-1のA0出力端が接続され、他方の入力端にはアドレスバッファ回路45-2のA1出力端が接続される。そして、上記各 NAND回路47-1~47-4の出力端がそれぞれインバータ回路48-1~48-4の入力端に接続され、インバータ回路48-1の出力端から論理信号/A0・/A1が出力されて上記 NAND回路44-1の他方の入力端に、インバータ回

路48-2の出力端から論理信号A0・/A1が出力されて上記 NAND回路44-2の他方の入力端に、インバータ回路48-3の出力端から論理信号/A0・A1が出力されて上記 NAND回路44-3の他方の入力端に、及びインバータ回路48-4の出力端から論理信号A0・A1が出力されて上記 NAND回路44-4の他方の入力端にそれぞれ供給される。

【0052】上記図7及び図8の回路に従えば、信号A, B, Cが全て接地電圧Vssのチップ、すなわち図6のチップ32-1はアドレス信号A0=0, A1=0で選択され、信号A, Bが接地電圧Vssで信号Cが電源電圧Vccのチップ、すなわちチップ32-2はアドレス信号A0=1, A1=0で選択される。また、信号Aが接地電圧Vssで信号B, Cが電源電圧Vccのチップ、すなわちチップ32-3はアドレス信号A0=0, A1=1で選択され、信号A, B, Cが全て電源電圧Vccのチップ、すなわちチップ32-4はアドレス信号A0=1, A1=1で選択される。このようすを下表2に纏めて示す。

【0053】

【表2】

A	B	C	(A0, A1)	チップ
Vss(0)	Vss(0)	Vss(0)	(0, 0)	チップ32-1
Vss(0)	Vss(0)	Vcc(1)	(0, 1)	チップ32-2
Vss(0)	Vcc(1)	Vcc(1)	(1, 0)	チップ32-3
Vcc(1)	Vcc(1)	Vcc(1)	(1, 1)	チップ32-4

【0054】表2において、Vss(0)は半田バンプ38-1~38-3のいずれかが設けられ（スイッチ20-1~20-3がオン状態に相当する）、対応するパッド36-1~36-3のいずれかが接地されている場合を示しており、Vcc(1)は半田バンプ38-1~38-3を設けず（スイッチ20-1~20-3がオフ状態に相当する）、パッド36-1~36-3のいずれかが高抵抗値の抵抗31-1~31-3を介して電源電圧Vccでバイアスされている状態を示している。パッド36-1~36-3に半田バンプを設けない時には、これらのパッドは図3に示した回路と同様に抵抗31-1~31-3を介して電源電圧Vccでバイアスされる。これによって、半田バンプを設けるか否かに応じて信号A, B, Cのレベルを設定でき、これらの信号A, B, Cとアドレス信号A0, A1とにより半導体メモリチップ32-1~32-4を自由に選択できる。

【0055】なお、積層する半導体メモリチップの数をnとするとき、接続プラグを少なくとも(n-1)個設けてn個の半導体メモリチップ間のアドレスの割り振りを行い、[log(n)/log2]個のアドレス入力

でこれらn個の半導体チップの1つを選択することができる。

【0056】更に、図1及び図2に示した構造において、半導体メモリチップ12-1~12-4を、図9に示すような半導体システムチップ100に替えてても良い。図9では、チップ100中に設けられているオプション回路A~Dが半田バンプの接続パターンで選択される。その手法は図2に示した方法と同様である。また、図10に示すように、半導体チップ200の一部にオプション回路群210を設け、その中のオプション回路A'~D'を半田バンプの接続パターンで選択した場合でもこの発明は有効である。ここでオプション回路A'~D'としては、例えば入/出力データのビット数を決めるビット構成設定回路や、半導体メモリチップの変則ブロックを指定するアドレスの回し方(TOP/BOTTOM)の切り替え回路であっても良く、この場合、積層する全半導体メモリチップにおいて、全て同一のオプション回路A'~D'が半田バンプの接続パターンで選択されても構わない。すなわち、この発明によれば、半導体基板を貫通する貫通孔内に接続プラグが形成

された構造を有する複数枚の同一チップを積層する際に、積層するチップ間及びマルチチップ半導体装置を搭載する基板と最下層のチップ間の金属バンプの接続パターンに応じて、各チップ内のオプション回路を選択させたマルチチップ半導体装置も提供できる。特に、同一のメモリチップを複数枚用いて、積層チップ間及びマルチチップ半導体装置を搭載する基板と最下層のチップ間の金属バンプの接続パターンを変えることのみで、大容量、多機能のマルチチップ半導体装置を提供できる。

【0057】なお、上記各実施の形態では、半導体メモリチップを複数個積層して搭載する場合を例に取って説明したが、メモリ回路とロジック回路の混載チップやメモリ以外の他の半導体チップも搭載できるのは勿論である。

【0058】

【発明の効果】以上説明したように、この発明によれば、製造コストの上昇を抑制しつつ、平面面積が小さく、構造が単純で且つ厚さが薄いマルチチップ半導体装置及びメモリカードが得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係るマルチチップ半導体装置について説明するためのもので、SSFDCのカード状パッケージを透視して内部構成を概略的に示す斜視図。

【図2】図1に示したSSFDC中の各半導体メモリチップを選択的に接続するための半田バンプの接続パターンを示す断面図。

【図3】図2に示した各半導体メモリチップ中の一部の具体的な回路構成を示す図。

【図4】図3に示した回路における抵抗値の高い抵抗の構成例を示す回路図。

【図5】この発明の第2の実施の形態に係るマルチチップ半導体装置について説明するためのもので、半田バンプの他の接続パターンを示す断面図。

【図6】この発明の第3の実施の形態に係るマルチチップ半導体装置について説明するためのもので、半田バン

プの更に他の接続パターンを示す断面図。

【図7】この発明の第3の実施の形態に係るマルチチップ半導体装置について説明するためのもので、図6に示した各半導体メモリチップ中の一部の具体的な回路構成を示す図。

【図8】この発明の第3の実施の形態に係るマルチチップ半導体装置について説明するためのもので、図6に示した各半導体メモリチップ中の一部の具体的な回路構成を示す図。

【図9】この発明の第4の実施の形態に係るマルチチップ半導体装置について説明するためのもので、図1及び図2に示した構造において、半導体メモリチップに代えて設ける半導体システムチップを示す図。

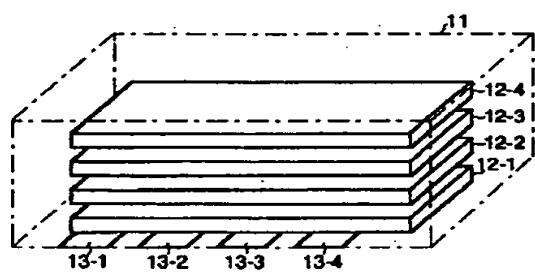
【図10】この発明の第5の実施の形態に係るマルチチップ半導体装置について説明するためのもので、図1及び図2に示した構造において、半導体メモリチップに代えて設ける、オプション回路群を備えた半導体チップを示す図。

【図11】この発明の前提となる技術について説明するためのもので、本出願人による先願に記載したマルチチップ半導体装置の断面構成図。

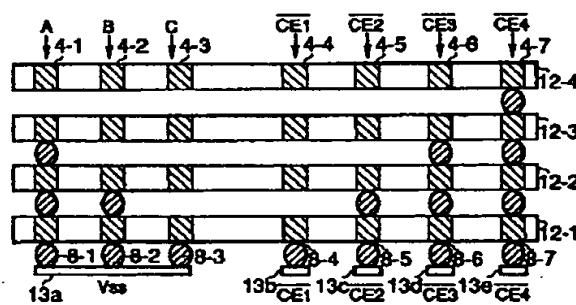
【符号の説明】

3…多層配線層、4-1～4-7…接続プラグ、4a…絶縁膜、4b…貫通プラグ、5…貫通孔、6-1～6-3…パッド、8-1～8-7…半田バンプ、11…SSFDC、12-1～12-4…NAND型EEPROMチップ、13-1～13-4…表面端子、13a～13e…端子、A, B, C…信号、/CE1～/CE4…チップ選択信号、Vcc…電源電圧、Vs…接地電圧、20-1～20-3, 40-1～40-3…スイッチ、21-1～21-3, 41-1～41-3…抵抗、22-1～22-15, 42-1～42-14, 48-1～48-4…インバータ回路、23-1～23-4, 43-1～43-4…3入力 NAND回路、24-1～24-4, 44-1～44-4, 47-1～47-4…2入力 NAND回路、25…4入力 NOR回路。

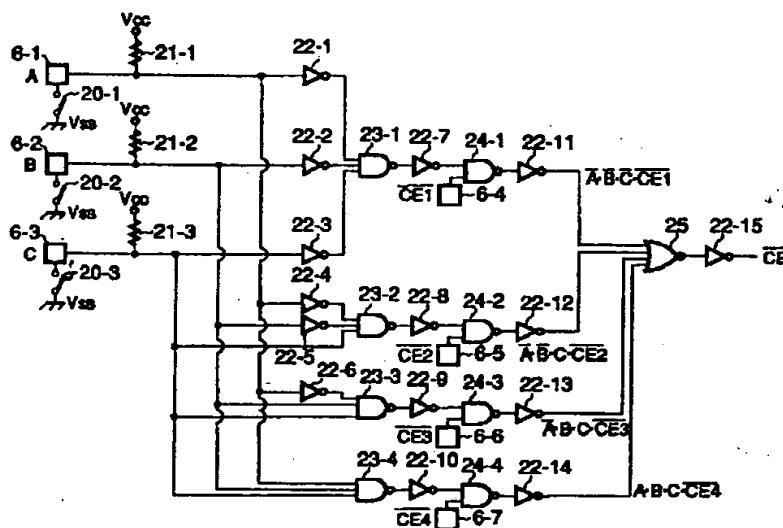
【図1】



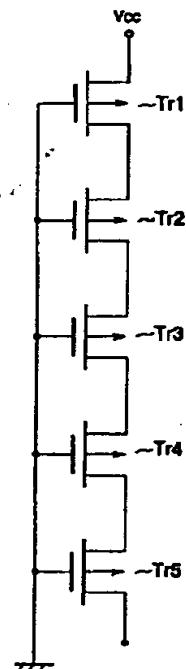
【図2】



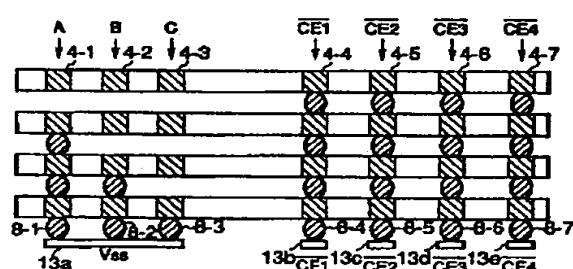
【図3】



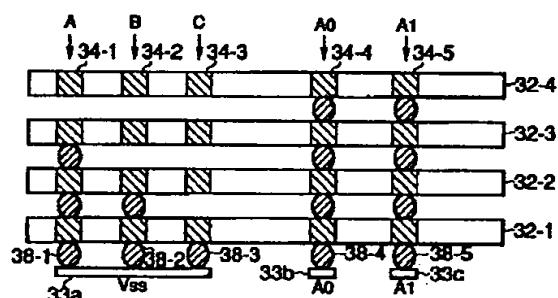
【図4】



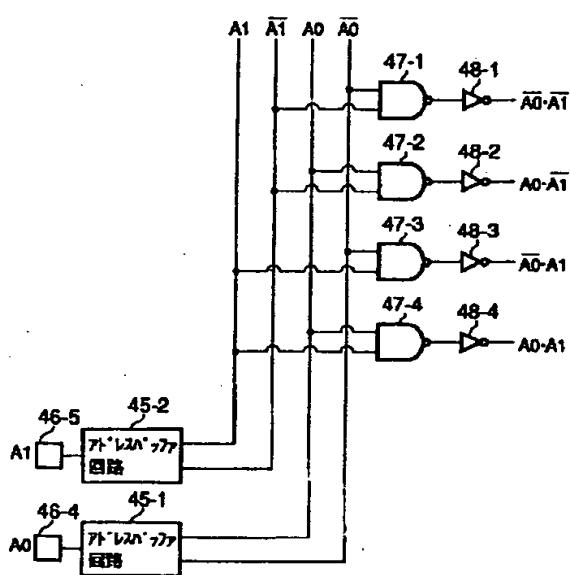
【図5】



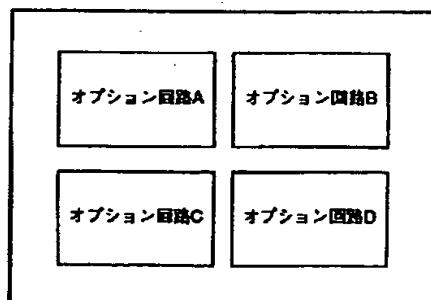
【図6】



【図8】

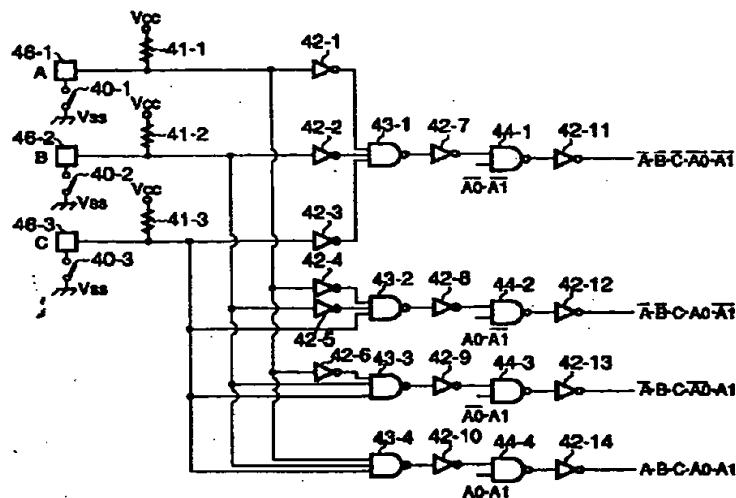


【図9】

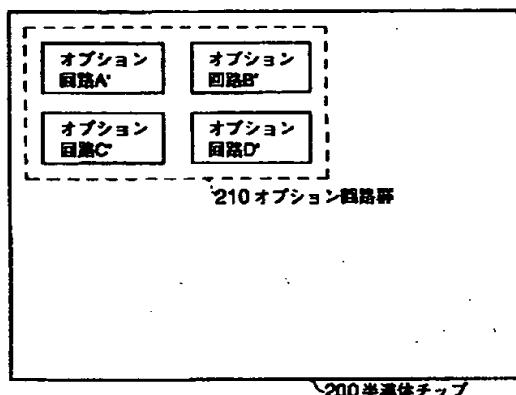


100半導体システムチップ

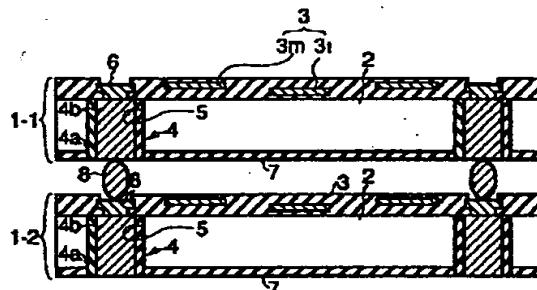
【図7】



【図10】



【図11】



フロントページの続き

(72)発明者 早坂 伸夫
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 奥村 勝弥
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
F ターム(参考) 5F083 EP76 MA06 MA16 ZA20

5/9/1

DIALOG(R) File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.

06463703 **Image available**
MULTI-CHIP SEMICONDUCTOR DEVICE AND MEMORY CARD

PUB. NO.: 2000-049277 [JP 2000049277 A]
PUBLISHED: February 18, 2000 **20000218**)
INVENTOR(s): SAKUI YASUSHI
MIYAMOTO JUNICHI
HAYASAKA NOBUO
OKUMURA KATSUYA
APPLICANT(s): TOSHIBA CORP
APPL. NO.: 10 -213880 [JP 98213880]
FILED: July 29, 1998 (19980729)
INTL CLASS: H01L-025/065; H01L-025/07; H01L-025/18; H01L-027/115;
H01L-027/10

ABSTRACT

PROBLEM TO BE SOLVED: To provide a multi-chip semiconductor device wherein the manufacturing cost rise is suppressed, the plane area is small, and the structure is simple, and the thickness is small.

SOLUTION: This multi-chip semiconductor device, mounting a plurality of semiconductor chips having elements integrated in a semiconductor substrate, is characterized in that the semiconductor chips 12-1 to 12-4 having identical structures in which connection plugs 4-1 to 4-7 formed in through-holes piercing the semiconductor substrate are laminated, the connection plugs of each chip are selectively connected via metal bumps 8-1 to 8-7, and the allotment of the addresses between chips is designated according to a connection pattern of the metal bumps. The chips having identical structures are laminated, hence this eliminates the need to manufacture a plurality of chip kinds having different structures and allows the same test to be conducted for all the chips, and since there is no need to consider the laminating order, the manufacturing cost can be reduced.

COPYRIGHT: (C) 2000, JPO

THIS PAGE BLANK (USPTO)